



# 제 29회 한국반도체학술대회

The 29th Korean Conference on Semiconductors

2022년 1월 24일(월)~ 26일(수) | 강원도 하이원 그랜드호텔(컨벤션타워)

2022년 1월 26일(수), 14:00-15:30

Room L (다이아몬드 II, 6층)

## N. VLSI CAD 분과

### [WL3-N] Traditional CAD Issues and Design Enhancement

좌장: 강석형 교수(POSTECH), 현대준 교수(청주대학교)

<b>WL3-N-1</b> <b>14:00-14:15</b>	<b>베이지안 최적화를 이용한 메탈 스택 파라미터 선정 방법</b> 남지우, 현대준 <i>청주대학교 전자공학과</i>
<b>WL3-N-2</b> <b>14:15-14:30</b>	<b>비대칭 게이트 설계를 위한 트랜지스터 크기 최적화 알고리즘</b> 김경창, 현대준 <i>청주대학교 전자공학과</i>
<b>WL3-N-3</b> <b>14:30-14:45</b>	<b>컨택 라우팅 활용을 위한 셀 배치 최적화 방법</b> 오제영, 현대준 <i>청주대학교 전자공학과</i>
<b>WL3-N-4</b> <b>14:45-15:00</b>	<b>Reinforcement Learning Based Detailed Placement</b> Seonghyeon Park, Sung-Yun Lee, and Seokhyeong Kang <i>POSTECH</i>
<b>WL3-N-5</b> <b>15:00-15:15</b>	<b>SAT-Based Minimum Patch Generation for Functional ECO</b> Jaemin Seo, Kyungjun Min, and Seokhyeong Kang <i>Department of Electrical Engineering, POSTECH</i>
<b>WL3-N-6</b> <b>15:15-15:30</b>	<b>Wire Length Estimation Using Machine Learning</b> Jakang Lee, Daeyeon Kim, and Seokhyeong Kang <i>POSTECH</i>